

공개특허 제 1999-31914호 (1999.05.06) 1부.

특 1999-0031914

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 23/12(11) 공개번호 특 1999-0031914
(43) 공개일자 1999년 05월 06일

(21) 출원번호	10-1997-0052814
(22) 출원일자	1997년 10월 15일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	윤건현
	충청남도 천안시 쌍용동 주공7단지 아파트 301-604
	이홍우
	충청남도 천안시 쌍용동 선경아파트 106-502
(74) 대리인	임평섭, 정현영, 최재희

원제명: 칩

(54) 칩 스케일 패키지

요약

칩 스케일 패키지에 있어서 빔리드 자체가 완충작용을 하도록 빔리드 형상을 변형함으로써 빔리드 공정시에 빔리드에 전달되는 압력을 여러 방향으로 분산할 수 있다. 이에 따라 캐패리리에 의한 빔리드 공정에서 전단부에 크랙이 발생하거나 테이프가 변형되는 것을 방지할 수 있다.

또한 후단부의 폭을 전단부에 대해 좁게 설정함으로써 빔리드를 캐패리로 압착할 때, 후단부의 절단을 용이하게 할 수 있다.

도면

도 4

도 5

도면의 간단한 설명

- 도 1은 일반적인 에지 본딩패드 CSP 구조를 나타낸 평면도이고,
 도 2는 도 1의 2-2'를 따라 절단한 단면도이고,
 도 3은 도 1의 A부분을 확대한 상세도이고,
 도 4는 본 발명의 일 실시예에 따른 빔리드의 형상을 나타내는 평면도이고,
 도 5는 본 발명의 다른 실시예에 따른 빔리드의 형상을 나타내는 평면도이다.

도면의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 칩 패키지에 관한 것으로서, 더욱 상세하게는 반도체 칩상의 칩 패드와 전기적으로 연결되는 빔리드(beam lead)의 형상을 변형시켜 빔리드들 칩 패드와 접합시킬 때 빔리드의 전단부에 크랙이 형성되거나 테이프가 변형되는 것을 방지하는 칩 스케일 패키지(Chip Scale Package)에 관한 것이다.

일반적으로, 반도체 칩 패키지는 리드 프레임의 다이 패드 상부면에 본딩패드가 구비된 반도체 칩을 접착제를 사용하여 부착하고, 리드 프레임의 인너 리드와 반도체 칩의 본딩패드를 도전성의 와이어를 이용하여 전기적으로 접속 연결한 후 상기 반도체 칩과 리드 프레임의 인너 리드를 포함하는 일정부위를 성형 수지로 몰딩하여 통상적인 트리밍/포밍공정과 플러팅공정을 거쳐 제작된다.

이와 같이 제작된 반도체 칩 패키지를 인쇄회로기판상에 실장하기 위해서 아웃 리드를 곁잉(Bull Wing) 또는 제이 밴드(J band) 타입으로 형상화하는 포밍 공정을 진행해야 하는 공정상의 문제점이 있었다.

또한, 반도체 칩의 크기보다 반도체 칩의 외곽에 위치하는 패키지의 크기 및 실장시 사용되는 실장부의 크기가 더 크고, 아웃 리드들이 성형 수지 외부로 돌출되어 있기 때문에 반도체 칩 패키지의 고정착화 및 박형화가 어려우며, 반도체 칩 패키지를 인쇄회로기판에 실장하는 경우 아웃 리드의 변형이 초래되는 문제점이 있었다.

특 1999-0031914

제점이 있었다.

이에 따라, 반도체 제조회사들과 완성품 제조회사는 BGA와 같은 표면실장형 반도체 칩 패키지를 순차적으로 개발하여 왔고, 최근에는 반도체 칩의 크기에 근접하는 칩 스케일 패키지(Chip Scale Package: 이하 'CSP'라고 함)라는 새로운 형태의 패키지를 개발하였다.

이하에서 일반적인 CSP 구조에 대해 개략적으로 설명한다.

도 1은 일반적인 예지 본딩패드 CSP 구조를 나타낸 평면도이고, 도 2는 도 1의 2-2'를 따라 절단한 단면도이다.

도시된 바와 같이, CSP는 예지 본딩패드들(3)을 갖는 반도체 칩(1)과 CSP용 테이프(10)가 탄성중합체(elastomer)인 접착제(2)에 의해 접착되어 있고, 테이프(10)의 솔렛들(8)에 노출된 버리드들(4)이 예지 본딩패드들(3)에 전기적으로 연결되어 있다. 여기서, 테이프(10)는 베이스 필름(6)과 베이스 필름(6)상에 형성된 구리박막의 도체패턴들(7)과 도체패턴(7)에서 연장되어 외부로 노출된 버리드들(4)로 구성된다. 도체패턴(7)상에는 솔더링을 용이하게 하기 위해 Au/Ni이 도금되어 있다. 솔더링들(9)은 베이스 필름(6)의 솔더용 개방부들을 통하여 도체패턴(7) 단부에 형성된 솔더용 패드(5)에 접합되어 있다.

상기에서 그리고 이후에 사용되는 버리드(beam lead)는 도체패턴의 일부로서 베이스 필름의 솔렛내에 형성되어 절연 접착제에 부착되지 않고 노출되는 부분을 특히 지시하기 위해 다른 용어로 사용된다.

마지막부분 12는 패키지의 윤곽선이다.

이와 같이 구성된 CSP의 제조방법을 간단히 살펴보면, 먼저, 다미론딩 공정에서 CSP용 테이프(10)를 반도체 칩(1)의 상측으로 이동시켜 테이프(10)의 하부면 중앙부와 반도체 칩(1)의 상부면 중앙부의 위치를 정합시킨 상태에서 미를 접착제(2)를 개재하여 접착시킨다. 이때, 반도체 칩(1)의 예지 본딩패드들(3)이 테이프(10)의 솔렛(8) 내에 위치한다.

이후, 버리드본딩 공정에서는 다미론딩이 완료된 테이프(10)를 캐필러리(capillary; 미도시)의 하측으로 이동시켜 테이프(10)의 버리드들(4)을 하부와 캐필러리의 위치를 정합시킨다. 그리고 나서, 상기 캐필러리를 낙하시키는 과정을 반복하면서 버리드들(4)을 반도체 칩(1)의 예지 본딩패드들(3)에 대응하여 열압착하여 전기적으로 연결한다.

계속하여, 밀봉공정에서는 버리드본딩이 완료된 테이프(10)를 밀봉부(도시 안됨)의 하측으로 이동시켜 밀봉부로부터 일정량의 탄성중합체(elastomer)의 용기수지를 테이프(10)의 주위에 떨어지게 한다. 이는 버리드들(4)을 보호하고 CSP의 전체 형상을 확보하기 위함이다.

이어서, 솔더링 공정에서는 솔더링들(9)을 베이스 필름(6)의 개방부들에 각각 노출된 솔더링 금속패드(5)에 대응하여 안착, 접합시킨다.

마지막으로 테이프(10)를 일정 크기로 각각 절단하여 CSP들을 개별화시킨다.

종래의 이후고자 하는 가요적 구조

이와 같은 CSP에 있어서 테이프의 솔렛에 형성되어 반도체 칩의 예지 본딩패드에 전기적으로 연결되는 버리드에 대해 구체적으로 설명한다.

도 3은 도 1의 A부분을 확대한 상세도로써, 도시된 바와 같이 버리드(4)는 솔렛(11)의 폭방향에 걸쳐 일정한 폭을 갖는다. 이를 보다 구체적으로 설명하면, 먼저 설명의 편의를 위하여 버리드(4)를 솔렛(11)의 폭방향에 대해 세 부분, 즉 테이프(10)로부터 노출되는 전단부(4a)와 솔렛(11) 영역내에 연장된 접합부(4b)와 접합부(4b)에서 다시 테이프(10)로 연결되는 후단부(4c)로 나눌 수 있는 바, 전단부(4a)와 접합부(4b) 및 후단부(4c)는 각각 동일한 폭을 갖는다.

한편, 상기한 바와 같이 버리드본딩 공정을 진행하게 되면, 버리드(4)의 상부로부터 캐필러리가 하강하여 버리드(4)를 반도체 칩(1)의 본딩패드(3)에 열압착하여 접합하는데, 이때 버리드(4)는 전단부(4a)에서 적절히 구부러지고 후단부(4c)에서 절단되어 접합부(4b)가 본딩패드(3)에 접합된다. 즉, 테이프(10)는 접착제(2)를 개재하여 반도체 칩(1)상에 부착되며 절연접착제(2)는 소정의 두께를 갖기 때문에 버리드(4)를 본딩패드(3)에 접합할 때 버리드(4)는 캐필러리로부터의 압력에 의해 강제적으로 하향으로 구부러진다.

그러나 이와 같은 종래의 구조에 있어서는 버리드의 폭이 전체에 걸쳐 동일하기 때문에 캐필러리로부터의 압력이 전체적으로 균일하게 전달된다. 따라서 이 압력이 전단부(4a)에 전달되어 크랙이 발생하거나 삼한 경우 버리드의 후단부(4c)뿐 아니라 전단부(4a)가 절단되기도 한다. 이 정도는 아니라 하더라도 전단부에 전달된 압력에 의해 테이프의 예지부가 변형되기도 한다.

따라서 본 발명은 이러한 문제점들을 해결하기 위한 것으로, 테이프의 솔렛내에 위치하는 버리드에 캐필러리로부터 압력이 가해지는 경우 버리드 자체가 완충 역할을 함으로서 버리드의 전단부가 절단되거나 크랙이 발생하거나 또는 테이프의 예지부가 변형되는 것을 방지하는 칩 스케일 패키지를 제공하는데 목적이 있다.

본 발명의 구성 및 작용

본 발명의 제 1 측면에 따르면, 표면 예지부에 복수개의 본딩패드들이 형성된 반도체 칩과, 본딩패드들이 노출되도록 반도체 칩상에 절연 접착제를 개재하여 접착되고, 외부에 버리드로 연장되는 도체패턴이 내부에 형성된 테이프와, 테이프의 도체패턴에 전기적으로 연결되는 솔더링들을 포함하는 칩 스케일 패키지에 있어서, 버리드는 제 1 방향으로 형성된 전단부와, 제 1 방향에 대해 소정각도로 절곡된 제 2 방향으로 전단부에서 연장된 제 1 연결부와, 제 1 방향으로 제 1 연결부에서 연장된 접합부와, 제 2 방향으로 접합부에서 연장된 제 2 연결부와, 제 1 방향으로 제 2 연결부에 연장된 후단부로 이루어지고, 접합부는 본딩

록 1999-0031914

패드에 전기적으로 연결된다.

바람직하게, 제 1 방향과 제 2 방향이 이루는 각도는 45도이다.

또한 집합부의 폭은 본딩패드의 폭의 40%~70%의 크기를 갖는다.

바람직하게, 전단부의 폭은 후단부의 폭의 2배 이상이고, 집합부의 폭의 1.2배 이상이다. 후단부의 폭은 5~20mm인 것이 바람직하다.

또한 절연 접착제는 엘라스토머일 수 있으며, 절연 접착제의 두께는 100 μ m 이하인 것이 바람직하다.

도전패턴은 구리박막이 베이스 필름상에 라미네이트되고 패터닝되어 형성되며, 바람직하게 금이나 주석 또는 이들의 합금으로 도금된다.

본 발명의 제 2 측면에 따르면, 표면 에지부에 복수개의 본딩패드들이 형성된 반도체 칩과, 본딩패드가 노출되도록 반도체 칩상에 절연 접착제를 개재하여 접착되고, 외부에 방리드로 연장되는 도전패턴이 내부에 형성된 테이프와, 테이프의 도전패턴에 전기적으로 연결되는 솔더볼들을 포함하는 칩 스케일 패키지에서, 방리드는 소정간격으로 상호 분리된 제 1 및 제 2 전단부와, 분리된 제 1 및 제 2 전단부가 합쳐지도록 전단부의 길이방향으로 연장된 집합부와, 집합부의 길이방향으로 연장된 후단부로 이루어지고, 집합부는 본딩패드에 전기적으로 연결된다.

또한 바람직하게 집합부는 본딩패드와 집합하는 부분에는 동일한 폭을 유지하고 이 부분 이외에는 후단부 폭으로 감소폭 폭이 좁아진다.

바람직하게 후단부의 폭은 집합부의 폭의 1/2 이하이고, 집합부의 폭은 본딩패드의 폭의 60%의 크기를 갖는다.

또한 제 1 및 제 2 전단부는 테이프상에서 분리된 상태에서 솔더내로 연장되며, 일례로 제 1 및 제 2 전단부가 이루는 형상은 육각형 또는 타원형이다.

본 발명의 제 3 측면에 따르면, 4면의 에지에 소정 폭으로 솔더가 형성된 베이스 필름과, 베이스 필름상에 종착되어 소정형상으로 패터닝되고 솔더내에서 방리드로 노출되는 도전패턴과, 도전패턴의 내측 단부에 형성된 솔더볼용 도전패드를 포함하며, 방리드는 제 1 방향으로 형성된 전단부와, 제 1 방향에 대해 소정각도로 절곡된 제 2 방향으로 전단부에서 연장된 제 1 연결부와, 제 1 방향으로 제 1 연결부에서 연장된 집합부와, 제 2 방향으로 집합부에서 연장된 제 2 연결부와, 제 1 방향으로 제 2 연결부에 연장된 후단부로 이루어지는 칩 스케일 패키지를 테이프가 개시된다.

이때 바람직하게 솔더의 폭은 0.3mm 이상이다.

본 발명의 제 4 측면에 따르면, 4면의 에지에 소정 폭으로 솔더가 형성된 베이스 필름과, 베이스 필름상에 종착되어 소정형상으로 패터닝되고 솔더내에서 방리드로 노출되는 도전패턴과, 도전패턴의 내측 단부에 형성된 솔더볼용 도전패드를 포함하며, 방리드는 소정간격으로 상호 분리된 제 1 및 제 2 전단부와, 분리된 제 1 및 제 2 전단부가 합쳐지도록 전단부의 길이방향으로 연장된 집합부와, 집합부의 길이방향으로 연장된 후단부로 이루어지는 칩 스케일 패키지를 테이프가 개시된다.

바람직하게, 집합부는 후단부폭으로 감소폭 폭이 좁아진다.

이하 첨부된 도면을 참조하여 본 발명의 실시시예를 상세히 설명한다.

본 발명은 증류기술에 대해 방리드의 형상에 특징을 갖고 있어 상기한 증류의 구성부분과 동일한 부분에 대해서는 설명을 생략한다.

도 4는 본 발명의 실시시예에 따른 방리드의 형상을 나타내는 평면도이다.

도시된 바와 같이, 베이스 필름(10)상에 형성된 도전패턴(7)에서 솔더(8)내로 연장된 방리드(14)는 제 1 방향으로 형성된 전단부(14a)와, 제 1 방향에 대해 소정각도로 절곡된 제 2 방향으로 전단부(14a)에서 연장된 제 1 연결부(14d)와, 제 1 방향으로 제 1 연결부(14d)에서 연장된 집합부(14b)와, 제 2 방향으로 집합부(14b)에서 연장된 제 2 연결부(14d')와, 제 1 방향으로 제 2 연결부(14d')에 연장된 후단부(14c)로 이루어진다.

솔더(8)는 베이스 필름(10)의 내방향 에지부에 반도체 칩(1)의 본딩패드(3)와 평행하게 형성되며, 폭의 크기는 대략 0.3mm 이상이다.

제 1 방향과 제 2 방향이 이루는 각도는 바람직하게 45도이지만, 각 부분의 폭과 길이 등의 변수를 고려하여 적절하게 선택될 수 있다.

전단부(14a)의 폭은 후단부(14c)의 폭의 2배 이상이고, 집합부(14b)의 폭의 1.2배 이상으로 설정하는 것이 바람직하다. 후단부(14c)의 폭은 본딩패드와의 집합시 접단이 용이하게 이루어질 수 있는 폭을 가지며, 바람직하게 5~20mm이다.

한편, 이 실시시예에서는 전단부(14a)와 집합부(14b) 및 후단부(14c)는 각각의 폭을 각 부분의 길이방향으로 동일하게 유지하고 제 1 및 제 2 연결부(14d, 14d')에서 점차 폭이 감소하도록 하였으나, 이와 반대로 전단부(14a)와 집합부(14b) 및 후단부(14c) 각각의 폭을 각 부분의 길이방향으로 점차 감소하도록 하고 제 1 및 제 2 연결부(14d, 14d')의 폭을 각각 길이방향으로 동일하게 유지하도록 할 수 있다.

또한, 바람직하게 집합부(14b)의 폭은 본딩패드(3)의 폭의 40~70%이고, 더욱 바람직하게는 60%의 크기일 가지며, 도 4에 도시된 것처럼 집합부(14b)의 양측면으로부터 본딩패드(3)가 노출된다.

도전패턴(7)은 구리박막이 베이스 필름(10)상에 라미네이트되고 패터닝되어 형성되며, 솔더볼(9)의 장합이 용이하게 이루어질 수 있도록 바람직하게 금이나 주석 또는 이들의 합금으로 도금된다.

록 1999-0031914

이와 같이 구성된 본 발명의 협 스케일 패키지의 범리의 작용을 범리드 공정을 중심으로 이하 상세히 설명한다.

상기한 바와 같이, 범리드본딩 공정에서는 다이버팅이 완료된 테이프(10)가 캐필러리의 하측으로 이동되어 테이프(10)의 슬롯(8)내 범리드들(14)중 하나와 캐필러리의 위치를 정합시킨다. 그리고 나서, 캐필러리를 낙하시키는 과정을 반복하면서 범리드들(14)을 반도체 칩(1)의 예지 본딩패드들(3)에 대응하여 접합하여 전기적으로 연결한다.

이때, 테이프(10)는 절연접착제(2)를 개재하여 반도체 칩(1)상에 부착되며 절연접착제(2)는 소정의 두께를 갖기 때문에 범리드(14)를 본딩패드(3)에 접합할 때 범리드(14)는 캐필러리로부터의 압력에 의해 강제적으로 하향으로 구부러진다.

본 발명에 따르면, 제 1 방향으로 형성된 전단부(14a)와 접합부(14b) 및 후단부(14c)가 제 2 방향으로 형성된 제 1 및 제 2 연결부(14d, 14d')에 의해 연결되므로서 접합부(14b)에 가해지는 캐필러리의 압력은 제 1 및 제 2 연결부(14d, 14d')에 의해 제 2 방향으로 분할된다. 따라서 제 1 방향으로 형성된 전단부(14a)와 후단부(14c)에 가해지는 압력은 상대적으로 감소한다. 즉, 제 1 및 제 2 연결부(14d, 14d')가 캐필러리의 압력에 대해 완충작용을 하게 된다.

이와 같이 전단부(14a)에 가해지는 압력이 감소함에 따라 전단부(14a)에 크랙이 발생하거나 전단부(14a)가 노출되는 테이프(10)의 예지부가 변형되는 것을 방지할 수 있다.

또한 본 발명에 의하면, 후단부(14c)의 폭을 전단부(14a)의 폭의 1/2 이하로 설정함으로써 캐필러리로부터 전달되는 압력에 의해서 후단부(14c)만이 용이하게 절단된다. 따라서 종래와 같이 범리드(14)를 캐필러리로 압착할 때, 후단부(14c)와 함께 전단부(14a)가 절단되거나 또는 전단부(14a)만이 절단되는 것을 방지할 수 있다.

한편, 이 실시예에 따르면, 절연접착제(2)로 엘라스토퍼가 사용될 수 있으며, 절연 접착제(2)의 두께는 100 μ m 이하인 것이 바람직하다.

도 5는 본 발명의 다른 실시예에 따른 범리드 형상을 나타내는 평면도이다.

도시된 바와 같이, 범리드(24)는 소정간격으로 분리된 제 1 및 제 2 전단부(24a, 24a')와, 분리된 제 1 및 제 2 전단부(24a, 24a')가 한치지도록 전단부의 길이방향으로 연장된 접합부(24b)와, 접합부(24b)의 길이방향으로 연장된 후단부(24c)로 이루어진다.

바람직하게 제 1 및 제 2 전단부(24a, 24a')는 테이프(10)상에서 이미 분리된 상태에서 슬롯(8)내로 연장된다. 이에 따라 테이프(10)에 전달되는 압력은 각각 제 1 및 제 2 전단부(24a, 24a')로 나뉘어 전달되기 때문에 한 부분으로의 압력집중을 막을 수 있어 테이프의 변형을 방지할 수 있다.

이 실시예에서 제 1 및 제 2 전단부(24a, 24a')가 이루는 형상은 육각형이며, 그외에 타원형등도 가능하다.

또한 접합부(24b)는 후단부(24c)폭으로 감소된 폭이 좁아지는데, 이 실시예에서는 본딩패드(3)에 접합되는 부분은 동일한 폭을 유지하고 이 부분 이외에는 폭이 좁아진다. 따라서 본딩패드(3)와의 접착력을 그대로 유지할 수 있다.

바람직하게, 후단부(24c)의 폭은 접합부(24b)의 폭의 1/2 이하이다.

이와 같은 다른 실시예에 있어서도 상기 일 실시예와 동일한 효과를 갖는다.

또한 전단부를 상호 분리된 제 1 및 제 2 전단부(24a, 24a')로 구성함으로써 테이프(10)로의 압력집중을 억제하며, 이에 따라 캐필러리에 의한 범리드 공정에서 전단부에 크랙이 발생하거나 테이프가 변형되는 것을 확실하게 방지할 수 있다.

또한 후단부(24c)의 폭을 접합부(24b)의 폭의 1/2 이하로 설정함으로써 범리드(24)를 캐필러리로 압착할 때, 후단부(24c)의 절단을 용이하게 할 수 있는 이점이 있다.

다른 도면

상기한 바와 같이 본 발명에 따르면, 범리드 자체가 완충작용을 하도록 범리드 형상을 변형함으로써 범리드 공정시에 범리드에 전달되는 압력을 여러 방향으로 분산할 수 있다. 이에 따라 캐필러리에 의한 범리드 공정에서 전단부에 크랙이 발생하거나 테이프가 변형되는 것을 방지할 수 있다.

또한 후단부의 폭을 전단부에 대해 좁게 설정함으로써 범리드를 캐필러리로 압착할 때, 후단부의 절단을 용이하게 할 수 있다.

이상에서는 본 발명의 바람직한 실시예를 중심으로 설명하고 있지만, 당업자에 의해 다양한 변경이나 추가가 가능함은 물론이며, 이들은 본 발명의 정신을 벗어나지 않는 범위내에서 본 발명에 속한다 할 것이다.

(5) 청구의 범위

청구항 1

표면 예지부에 복수개의 본딩패드들이 형성된 반도체 칩과;

상기 본딩패드가 노출되도록 상기 반도체 칩상에 절연 접착제를 개재하여 접착되고, 외부에 범리드로 연장되는 도전패턴이 내부에 형성된 테이프와;

독 1999-0031914

상기 테이프의 도전패턴에 전기적으로 연결되는 슬더봉들을 포함하며,
상기 범리드는

제 1 방향으로 형성된 전단부와;

상기 제 1 방향에 대해 소정각도로 절곡된 제 2 방향으로 상기 전단부에서 연장된 제 1 연결부와;

상기 제 1 방향으로 상기 제 1 연결부에서 연장된 접합부와;

상기 제 2 방향으로 상기 접합부에서 연장된 제 2 연결부와;

상기 제 1 방향으로 상기 제 2 연결부에 연장된 후단부로 이루어지고,

상기 접합부는 상기 본딩패드에 전기적으로 연결되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 2

제 1 항에 있어서, 상기 소정각도는 45도인 것을 특징으로 하는 칩 스케일 패키지.

청구항 3

제 1 항에 있어서, 상기 접합부의 폭은 상기 본딩패드의 폭의 40%~70%의 크기를 갖는 것을 특징으로 하는 칩 스케일 패키지.

청구항 4

제 1 항에 있어서, 상기 전단부와 접합부 및 후단부는 각각의 폭을 길이방향으로 동일하게 유지하는 것을 특징으로 하는 칩 스케일 패키지.

청구항 5

제 4 항에 있어서, 상기 전단부의 폭은 상기 후단부의 폭의 2배 이상인 것을 특징으로 하는 칩 스케일 패키지.

청구항 6

제 5 항에 있어서, 상기 전단부의 폭은 상기 접합부의 폭의 1.2배 이상인 것을 특징으로 하는 칩 스케일 패키지.

청구항 7

제 1 항에 있어서, 상기 후단부의 폭은 5~20 μ m인 것을 특징으로 하는 칩 스케일 패키지.

청구항 8

제 1 항에 있어서, 상기 접합 접착제는 엘라스토크메인 것을 특징으로 하는 칩 스케일 패키지.

청구항 9

제 8 항에 있어서, 상기 접합 접착제의 두께는 100 μ m 이하인 것을 특징으로 하는 칩 스케일 패키지.

청구항 10

제 1 항에 있어서, 상기 도전패턴은 구리박막이 베이스 필름상에 리미네이트되고 패터닝되어 형성되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 11

제 10 항에 있어서, 상기 도전패턴은 금이나 주석 또는 이들의 합금으로 도금되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 12

표면 배치부에 복수개의 본딩패드들이 형성된 반도체 칩과;

상기 본딩패드가 노출되도록 상기 반도체 칩상에 접합 접착제를 개재하여 접착되고, 외부에 범리드로 연장되는 도전패턴이 내부에 형성된 테이프와;

상기 테이프의 도전패턴에 전기적으로 연결되는 슬더봉들을 포함하며,

상기 범리드는

소정간격으로 상호 분리된 제 1 및 제 2 전단부와;

상기 분리된 제 1 및 제 2 전단부가 합쳐지도록 상기 전단부의 길이방향으로 연장된 접합부와;

상기 접합부의 길이방향으로 연장된 후단부로 이루어지고,

상기 접합부는 상기 본딩패드에 전기적으로 연결되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 13

제 12 항에 있어서, 상기 접합부는 상기 본딩패드와 접합하는 부분에는 동일한 폭을 유지하고 상기 부분

특 1999-0031914

이외에는 상기 후단부쪽으로 갈수록 폭이 좁아지는 것을 특징으로 하는 칩 스케일 패키지.

청구항 14

제 12 항에 있어서, 상기 후단부의 폭은 상기 접합부의 폭의 1/2 이하인 것을 특징으로 하는 칩 스케일 패키지.

청구항 15

제 12 항에 있어서, 상기 접합부의 폭은 상기 본딩패드의 폭의 40%~70%의 크기를 갖는 것을 특징으로 하는 칩 스케일 패키지.

청구항 16

제 12 항에 있어서, 상기 제 1 및 제 2 전단부는 상기 테이프상에서 분리된 상태에서 상기 슬롯내로 연장되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 17

제 16 항에 있어서, 상기 제 1 및 제 2 전단부가 이루는 형상은 육각형 또는 타원형중 어느 하나인 것을 특징으로 하는 칩 스케일 패키지.

청구항 18

제 12 항에 있어서, 상기 도전패턴은 구리박막이 베이스 필름상에 라미네이트되고 패턴닝되어 형성되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 19

제 18 항에 있어서, 상기 도전패턴은 금이나 주석 또는 이들의 합금으로 도금되는 것을 특징으로 하는 칩 스케일 패키지.

청구항 20

4면의 에지에 소정 폭으로 슬롯이 형성된 베이스 필름과;

상기 베이스 필름상에 증착되어 소정형상으로 패턴닝되고 상기 슬롯내에서 빔리드로 노출되는 도전패턴과;

상기 도전패턴의 내측 단부에 형성된 슬더볼용 도전패드를 포함하며,

상기 빔리드는

제 1 방향으로 형성된 전단부와;

상기 제 1 방향에 대해 소정각도로 절곡된 제 2 방향으로 상기 전단부에서 연장된 제 1 연결부와;

상기 제 1 방향으로 상기 제 1 연결부에서 연장된 접합부와;

상기 제 2 방향으로 상기 접합부에서 연장된 제 2 연결부와;

상기 제 1 방향으로 상기 제 2 연결부에 연장된 후단부로 이루어지는 것을 특징으로 하는 칩 스케일 패키지용 테이프.

청구항 21

제 20 항에 있어서, 상기 소정 폭은 0.3mm 이상인 것을 특징으로 하는 칩 스케일 패키지용 테이프.

청구항 22

제 20 항에 있어서, 상기 소정각도는 45도인 것을 특징으로 하는 칩 스케일 패키지용 테이프.

청구항 23

4면의 에지에 소정 폭으로 슬롯이 형성된 베이스 필름과;

상기 베이스 필름상에 증착되어 소정형상으로 패턴닝되고 상기 슬롯내에서 빔리드로 노출되는 도전패턴과;

상기 도전패턴의 내측 단부에 형성된 슬더볼용 도전패드를 포함하며,

상기 빔리드는

소정각도로 상호 분리된 제 1 및 제 2 전단부와;

상기 분리된 제 1 및 제 2 전단부가 합쳐지도록 상기 전단부의 길이방향으로 연장된 접합부와;

상기 접합부의 길이방향으로 연장된 후단부로 이루어지는 것을 특징으로 하는 칩 스케일 패키지용 테이프.

청구항 24

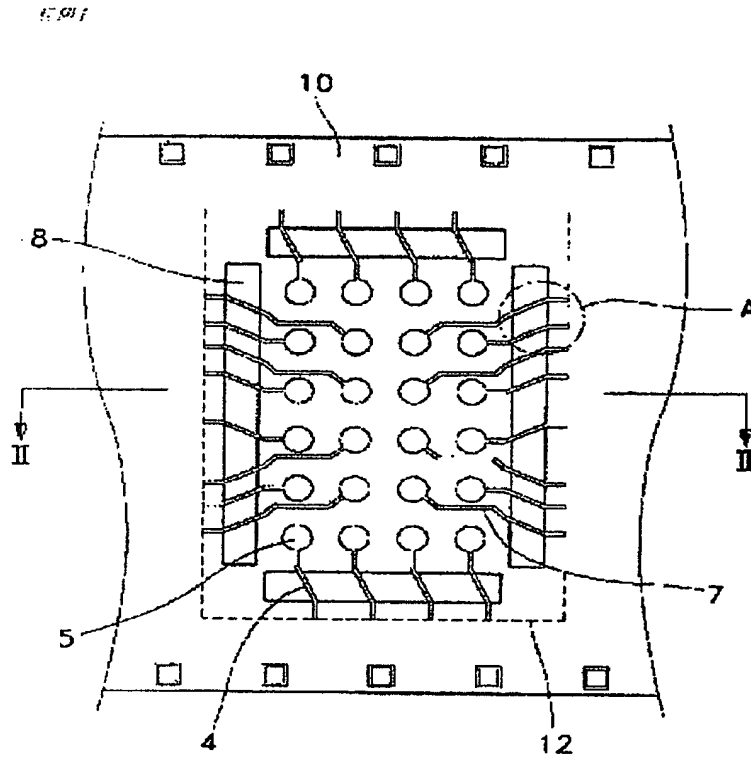
제 23 항에 있어서, 상기 접합부는 상기 후단부쪽으로 갈수록 폭이 좁아지는 것을 특징으로 하는 칩 스케일 패키지용 테이프.

특 1999-0031914

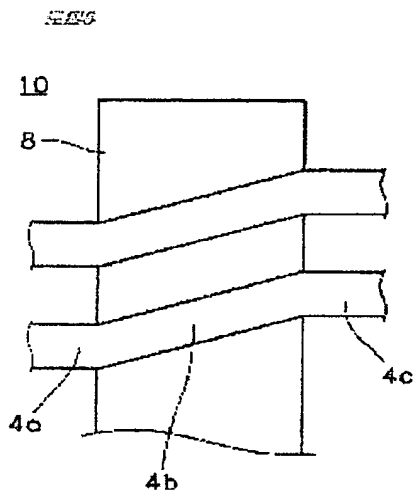
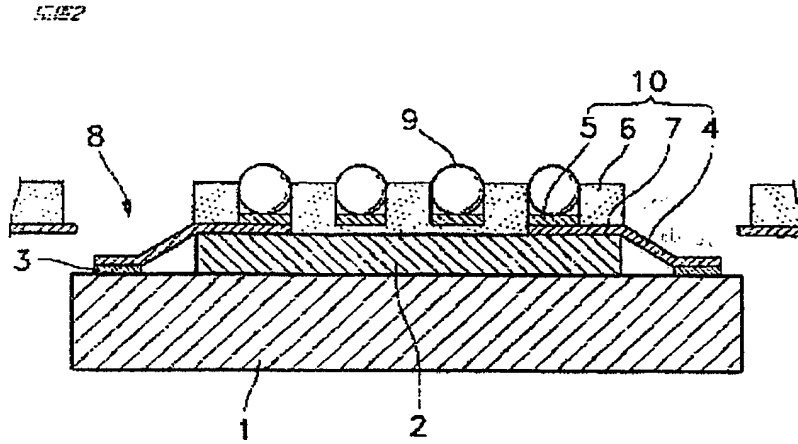
청구항 25

제 23 항에 있어서, 상기 후단부의 폭은 상기 접합부의 폭의 1/2 이하인 것을 특징으로 하는 열 스케일 패키지용 테이프.

도 10



1999-0031914



북 1999-0031914

